

**CLIPPEDIMAGE= JP02001094212A**

**PAT-NO: JP02001094212A**

**DOCUMENT-IDENTIFIER: JP 2001094212 A**

**TITLE: SEMICONDUCTOR ELEMENT AND ITS MANUFACTURING METHOD**

**PUBN-DATE: April 6, 2001**

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>DAIHO, HIROKI</b>	<b>N/A</b>
<b>HAYASHI, NOBUHIKO</b>	<b>N/A</b>

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>SANYO ELECTRIC CO LTD</b>	<b>N/A</b>

**APPL-NO: JP11271126**

**APPL-DATE: September 24, 1999**

**INT-CL\_(IPC): H01S005/22; H01L033/00**

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor element in which the occurrence of cracks and the deterioration of crystallinity in a regrown layer after treatment, such as the etching, are prevented.

**SOLUTION:** In a semiconductor element, an AlGaN buffer layer 2, an undoped GaN

layer 3, an n-type GaN contact layer 4, an n-type InGaN crack preventing layer 5, an n-type AlGaN clad layer 6, an MQW active layer 7, and a p-type AlGaN clad layer 8 are successively on a sapphire substrate 1. A ridge section is formed on the p-type AlGaN clad layer 8 and a p-type GaN cap layer 9 is formed on the upper surface of the ridge section. On the planar section of the clad layer 8 and the side faces of the ridge section, n-type AlGaN first regrown low-temperature buffer layers 10 and n-type AlGaN current- blocking layers 11 are successively formed and, on the upper surfaces of the blocking layers 11 and ridge section, a p-type AlGaN second regrown low- temperature buffer layer 12 and a p-type GaN contact layer 13 are formed.

**COPYRIGHT: (C)2001,JP**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-94212

(P2001-94212A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl'

識別記号

F I

テ-マコ-ト(参考)

H 01 S 5/22

H 01 S 5/22

5 F 0 4 1

H 01 L 33/00

H 01 L 33/00

C 5 F 0 7 3

審査請求 未請求 請求項の数11 OL (全 13 頁)

(21)出願番号 特願平11-271126

(71)出願人 000001889

三洋電機株式会社

(22)出願日 平成11年9月24日(1999.9.24)

大阪府守口市京阪本通2丁目5番5号

(72)発明者 大保 広樹

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 林 伸彦

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 100098305

弁理士 福島 祥人

Fターム(参考) 5F041 AA44 CA04 CA05 CA34 FF01

5F073 AA13 AA74 CA07 CB05 CB07

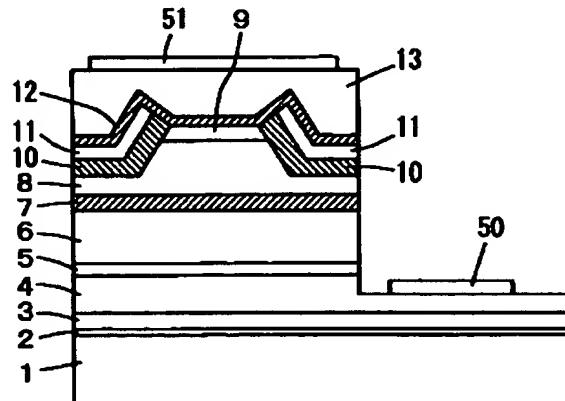
DA05 DA25 EA16 EA28

(54)【発明の名称】 半導体素子およびその製造方法

(57)【要約】

【課題】 エッチング等の加工後の再成長層におけるクラックの発生および結晶性の劣化が防止された半導体素子を提供することである。

【解決手段】 サファイア基板1上にA1GaNバッファ層2、アンドープGaN層3、n-GaNコンタクト層4、n-InGaNクラック防止層5、n-A1GaNクラッド層6、MQW活性層7およびp-A1GaNクラッド層8が順に形成されている。p-A1GaNクラッド層8にリッジ部が形成され、リッジ部上面にp-A1GaNキャップ層9が形成されている。p-A1GaNクラッド層8の平坦部上およびリッジ部の側面にn-A1GaN第1の再成長低温バッファ層10およびn-A1GaN電流ブロック層11が順に形成され、n-A1GaN電流ブロック層11上およびリッジ部上面にp-A1GaN第2の再成長低温バッファ層12およびp-A1GaNコンタクト層13が形成されている。



## 【特許請求の範囲】

【請求項1】 上面がバターニングされた窒化物系半導体から構成される第1の半導体層と、前記第1の半導体層上に位置する窒化物系半導体から構成されるバッファ層と、前記バッファ層上に位置する窒化物系半導体から構成される第2の半導体層と備えたことを特徴とする半導体素子。

【請求項2】 前記第1の半導体層は、活性層と、平坦部および前記平坦部上のリッジ部を有するクラッド層とを順に含み、

前記バッファ層は、前記クラッド層の前記平坦部上および前記リッジ部の側面に設けられ、

前記第2の半導体層は、前記バッファ層上に形成された電流ブロック層を含むことを特徴とする請求項1記載の半導体素子。

【請求項3】 前記第1の半導体層は、活性層と、平坦部および前記平坦部上のリッジ部を有するクラッド層と、前記クラッド層の平坦部上およびリッジ部の側面に設けられた電流ブロック層とを含み、

前記バッファ層は、前記クラッド層の前記リッジ部の上面および前記電流ブロック層上に設けられたことを特徴とする請求項1記載の半導体素子。

【請求項4】 前記リッジ部の上面と前記バッファ層との間にキャップ層がさらに設けられたことを特徴とする請求項3記載の半導体素子。

【請求項5】 前記第1の半導体層は、活性層と、クラッド層と、ストライプ状開口部を有する電流ブロック層とを順に含み、

前記バッファ層は、前記電流ブロック層上、および前記ストライプ状開口部内の底面および側面に設けられたことを特徴とする請求項1記載の半導体素子。

【請求項6】 前記窒化物系半導体は、ガリウム、アルミニウム、インジウム、タリウムおよびホウ素の少なくとも1つを含むIII族窒化物系半導体であることを特徴とする請求項1～5のいずれかに記載の半導体素子。

【請求項7】 結晶成長装置内で基板上に窒化物系半導体から構成される第1の半導体層を第1の温度で形成する工程と、

前記第1の半導体層が形成された基板を前記結晶成長装置から取り出して所定の処理を行う工程と、

前記処理された基板上の第1の半導体層上に前記結晶成長装置内で前記第1の温度よりも低い第2の温度で窒化物系半導体から構成されるバッファ層を形成する工程と、

前記結晶成長装置内で前記バッファ層上に前記第2の温度よりも高い温度で窒化物系半導体から構成される第2の半導体層を形成する工程とを備えたことを特徴とする半導体素子の製造方法。

【請求項8】 前記第1の半導体層を形成する工程は、活性層を形成する工程と、前記活性層上にクラッド層を

形成する工程とを含み、

前記所定の処理を行う工程は、前記クラッド層の中央部のストライプ状領域を除く領域を除去することにより平坦部および前記平坦部上のリッジ部を形成する工程を含み、

前記バッファ層を形成する工程は、前記平坦部上および前記リッジ部の側面に前記バッファ層を形成する工程を含み、

前記第2の半導体層を形成する工程は、前記バッファ層上に電流ブロック層を形成する工程を含むことを特徴とする請求項7記載の半導体素子の製造方法。

【請求項9】 前記第1の半導体層を形成する工程は、活性層を形成する工程と、前記活性層上に平坦部およびその平坦部上のリッジ部を有するクラッド層を形成する工程と、前記クラッド層上に電流ブロック層を形成する工程とを含み、

前記所定の処理を行う工程は、前記電流ブロック層にストライプ状開口部を形成して前記リッジ部の上面を露出させる工程を含み、

前記バッファ層を形成する工程は、前記電流ブロック層上、および前記ストライプ状開口部内の底面および側面にバッファ層を形成する工程を含むことを特徴とする請求項7記載の半導体素子の製造方法。

【請求項10】 前記第1の半導体層を形成する工程は、前記クラッド層の前記リッジ部上面にキャップ層を形成する工程をさらに含むことを特徴とする請求項9記載の半導体素子の製造方法。

【請求項11】 前記第1の半導体層を形成する工程は、活性層を形成する工程と、前記活性層上にクラッド層を形成する工程と、前記クラッド層上に電流ブロック層を形成する工程とを含み、

前記所定の処理を行う工程は、前記電流ブロック層にストライプ状開口部を形成して前記ストライプ状開口部内に前記第1の半導体層を露出させる工程を含み、

前記バッファ層を形成する工程は、前記電流ブロック層上および前記ストライプ状開口部内の底面および側面にバッファ層を形成する工程を含むことを特徴とする請求項7記載の半導体素子の製造方法。

## 【発明の詳細な説明】

## 40 【0001】

【発明の属する技術分野】 本発明は、GaN（窒化ガリウム）、AlN（窒化アルミニウム）、InN（窒化インジウム）、BN（窒化ホウ素）もしくはTiN（窒化タリウム）またはこれらの混晶等のIII-V族窒化物系半導体（以下、窒化物系半導体と呼ぶ）からなる化合物半導体層を有する半導体素子およびその製造方法に関する。

## 【0002】

【従来の技術】 近年、青色または紫色の光を発する発光ダイオード、半導体レーザ素子等の半導体発光素子とし

て、GaN系半導体発光素子の実用化が進んできている。

【0003】図8は従来のGaN系半導体レーザ素子の例を示す模式的断面図である。図8に示す半導体レーザ素子は、以下のようにして製造される。

【0004】まず、MOCVD（有機金属化学的気相成長）装置、MBE（分子線エピタキシャル成長）装置等の結晶成長装置内において、サファイア基板101のC(0001)面上に、アンドープのAlGaNからなるAlGaNバッファ層102、アンドープGaN層103、n-GaNコンタクト層104、n-AlGaNクラッド層105、n-GaN光ガイド層106、InGaN量子井戸活性層107、p-AlGaN層108、p-GaN光ガイド層109、p-AlGaNクラッド層110およびp-AlGaNキャップ層111を順に成長させる。

【0005】続いて、結晶成長装置からウエハを外部に取り出し、p-AlGaNキャップ層111およびp-AlGaNクラッド層110の所定領域をRIE法（反応性イオンビームエッティング法）等によりエッティングする。このようにして、リッジ部を形成する。

【0006】リッジ部の形成後、再びウエハを結晶成長装置内に戻し、リッジ部の側面および上面ならびにp-AlGaNクラッド層110の平坦部上にn-AlGaN電流ブロック層112を成長させる。さらに、ウエハを結晶成長装置の外部に取り出し、リッジ部上面のn-AlGaN電流ブロック層112をエッティングしてストライプ状開口部を形成し、リッジ部の上面を露出させる。その後、ウエハを再び結晶成長装置内に戻し、n-AlGaN電流ブロック層112上およびリッジ部の上面にp-GaNコンタクト層113を成長させる。

【0007】続いて、ウエハを結晶成長装置から外部に取り出し、p-GaNコンタクト層113からn-GaNコンタクト層104までの一部領域をエッティングして除去する。このようにして、n-GaNコンタクト層104の所定領域を露出させる。さらに、露出したn-GaNコンタクト層104の所定領域上にn電極50を形成する。また、p-GaNコンタクト層113の所定領域上にp電極51を形成する。最後に、サファイア基板101をへき開することにより共振器端面を形成する。

【0008】図8のようなリッジ導波型構造を有する半導体レーザ素子においては、リッジ部の形成により、InGaN量子井戸活性層107の水平方向において屈折率の分布が生じるとともに電流狭窄が行われる。このような屈折率の分布および電流狭窄を利用し、半導体レーザ素子において水平方向の光の閉じ込め、すなわち横モード制御が行われる。

【0009】

【発明が解決しようとする課題】一般に、窒化物系半導体層を厚く成長させると、クラックが発生しやすく、窒

化物系半導体層の中でも、Alを含むAlGaN層は特にクラックが発生しやすい。また、上記のようなリッジ導波型構造を有する半導体レーザ素子の製造の際には、リッジ部の形成時およびn-AlGaN電流ブロック層112のストライプ状開口部の形成時にウエハを結晶成長装置の外部に取り出してエッティングを行い、その後、再びウエハを結晶成長装置内に戻し、n-AlGaN電流ブロック層112およびp-GaNコンタクト層113を成長させる必要がある。

【0010】特に、n-AlGaN電流ブロック層112においては、横モード制御のためにクラッド層に比べて屈折率を小さくする（バンドギャップを大きくする）必要がある。このため、n-AlGaN電流ブロック層112においてはAlの組成を大きくしている。また、n-AlGaN電流ブロック層112により十分な電流狭窄が行われるよう、n-AlGaN電流ブロック層112の膜厚を大きくしている。このようなAlの組成が大きくかつ膜厚の大きなn-AlGaN電流ブロック層112においては、特にクラックが発生しやすい。

【0011】p-GaNコンタクト層113も膜厚が大きいため、p-GaNコンタクト層113においてはクラックが発生しやすい。

【0012】また、上記のようにウエハを結晶成長装置の外部に取り出した際、ウエハの表面が酸化され、再成長時に、その酸化された表面に窒化物系半導体層を成長させることになるため、再成長層に格子欠陥が発生する。すなわち、上記の半導体レーザ素子の製造の際には、リッジ部の形成時にウエハを結晶成長装置の外部に取り出す。これにより、p-AlGaNクラッド層110の平坦部およびリッジ部ならびにp-GaNキャップ層111の表面が酸化され、その酸化されたp-AlGaNクラッド層110の平坦部およびリッジ部ならびにp-GaNキャップ層111の表面にn-AlGaN電流ブロック層112が再成長するため、そのn-AlGaN電流ブロック層112に格子欠陥が発生する。また、n-AlGaN電流ブロック層112にストライプ状開口部を形成する際にも、ウエハを結晶成長装置の外部に取り出す。それにより、p-GaNキャップ層111およびn-AlGaN電流ブロック層112の表面が酸化され、その酸化されたp-GaNキャップ層111およびn-AlGaN電流ブロック層112の表面にp-GaNコンタクト層113が再成長するため、p-GaNコンタクト層113にも格子欠陥が発生する。

【0013】以上のような再成長させたn-AlGaN電流ブロック層112およびp-GaNコンタクト層113におけるクラックの発生および結晶性の劣化は、半導体レーザ素子の素子特性の劣化および信頼性の低下を招く。

【0014】特に、n-AlGaN電流ブロック層112におけるクラックの発生および結晶性の劣化は、素子

の劣化および信頼性の低下を招く。このため、横モード制御型半導体レーザ素子の製造方法は困難である。

【0015】本発明の目的は、エッチング等の加工後の再成長層におけるクラックの発生および結晶性の劣化が防止された半導体素子を提供することである。

【0016】本発明の他の目的は、エッチング等の加工後に再成長させる層においてクラックの発生および結晶性の劣化を防止することが可能な半導体素子の製造方法を提供することである。

【0017】

【課題を解決するための手段および発明の効果】本発明に係る半導体素子は、上面がバターニングされた窒化物系半導体から構成される第1の半導体層と、第1の半導体層上に位置する窒化物系半導体から構成されるバッファ層と、バッファ層上に位置する窒化物系半導体から構成される第2の半導体層と備えたものである。

【0018】ここで、バッファ層とは、下地の窒化物系半導体層の格子欠陥の影響を受けないで成長できる層であり、バッファ層上に位置する窒化物系半導体層の格子欠陥を減らすことが可能となる。また、バッファ層は、そのバッファ層の上下に位置する組成の異なる2種類の窒化物系半導体層の熱膨張係数差を緩和することができる層である。さらに、バッファ層は、500°C~700°Cの低温で成長させた層であり、アモルファス状態に近く、結晶成長装置内の温度変化によって変性しやすく、昇温によって結晶化する。

【0019】本発明に係る半導体素子においては、第1の半導体層上にバッファ層を介して第2の半導体層が形成されている。バッファ層は、下地の第1の半導体層の格子欠陥の影響を受けないで成長することができるので、第2の半導体層の格子欠陥が減少する。また、バッファ層により第1の半導体層と第2の半導体層との熱膨張係数差が緩和される。したがって、第2の半導体層におけるクラックの発生を防止することができ、かつ良好な結晶性が実現される。以上のことから、素子特性および信頼性の向上が図られる。

【0020】第1の半導体層は、活性層と、平坦部および平坦部上のリッジ部を有するクラッド層とを順に含み、バッファ層は、クラッド層の平坦部上およびリッジ部の側面に設けられ、第2の半導体層は、バッファ層上に形成された電流ブロック層を含んでもよい。

【0021】このような半導体素子の製造の際には、活性層およびクラッド層を順に含む第1の半導体層が形成された基板を結晶成長装置から一旦外部に取り出し、クラッド層の中央部のストライプ状の領域を除く領域を除去して、クラッド層にリッジ部および平坦部を形成する。

【0022】上記の半導体素子は、リッジ部および平坦部を形成する際に一旦結晶成長装置の外部に取り出されるため、クラッド層の平坦部およびリッジ部の表面が酸

化される。しかし、クラッド層の平坦部上およびリッジ部の側面にバッファ層を介して電流ブロック層が形成されているので、電流ブロック層がクラッド層の平坦部およびリッジ部の酸化された表面の影響を受けないで成長することができる。また、バッファ層によりクラッド層と電流ブロック層との熱膨張係数差が緩和される。したがって、電流ブロック層におけるクラックの発生を防止することができ、かつ良好な結晶性が実現される。

【0023】以上のように、上記の半導体素子において、電流ブロック層においてクラックの発生が防止されかつ結晶性の劣化が防止されるので、素子特性および信頼性の向上が図られる。したがって、横モード制御型の半導体レーザ素子の製造が容易になる。

【0024】第1の半導体層は、活性層と、平坦部および平坦部上のリッジ部を有するクラッド層と、クラッド層の平坦部上およびリッジ部の側面に設けられた電流ブロック層とを含み、バッファ層は、クラッド層のリッジ部の上面および電流ブロック層上に設けられてもよい。

【0025】このような半導体素子の製造の際には、活性層、クラッド層および電流ブロック層を順に含む第1の半導体層が形成された基板を結晶成長装置から一旦外部に取り出し、所定の処理を行ってクラッド層のリッジ部の上面を露出させる。

【0026】上記の半導体素子においては、結晶成長装置の外部において前述の所定の処理が行われるため、電流ブロック層およびクラッド層のリッジ部の表面が酸化される。しかし、電流ブロック層上およびクラッド層のリッジ部の上面にバッファ層を介して第2の半導体層が形成されているので、第2の半導体層が電流ブロック層およびクラッド層のリッジ部の酸化された表面の影響を受けないで成長することができる。また、バッファ層により電流ブロック層およびクラッド層と第2の半導体層との熱膨張係数差が緩和される。したがって、第2の半導体層におけるクラックの発生を防止することができ、かつ良好な結晶性が実現される。

【0027】以上のように、上記の半導体素子においては、第2の半導体層におけるクラックの発生が防止されかつ結晶性の劣化が防止されるため、素子特性および信頼性の向上が図られる。したがって、横モード制御型の半導体レーザ素子の製造が容易になる。

【0028】また、リッジ部の上面とバッファ層との間にキャップ層がさらに設けられてもよい。この場合、キャップ層により、リッジ部のクラッド層の酸化を防止することができる。

【0029】第1の半導体層は、活性層と、クラッド層と、ストライプ状開口部を有する電流ブロック層とを順に含み、バッファ層は、電流ブロック層上、およびストライプ状開口部内の底面および側面に設けられてもよい。

【0030】このような半導体素子の製造の際には、活

性層、クラッド層および電流ブロック層を順に含む第1の半導体層が形成された基板を結晶成長装置から一旦外部に取り出し、所定の処理を行って電流ブロック層にストライプ状開口部を形成する。

【0031】上記の半導体素子においては、結晶成長装置の外部において電流ブロック層にストライプ状開口部が形成されるため、電流ブロック層およびストライプ状開口部内の第1の半導体層の表面が酸化される。しかし、電流ブロック層上およびストライプ状開口部内で露出した第1の半導体層上にバッファ層を介して第2の半導体層が形成されているので、第2の半導体層が電流ブロック層および第1の半導体層の酸化された表面の影響を受けないで成長することができる。また、バッファ層により電流ブロック層および第1の半導体層と第2の半導体層との熱膨張係数差が緩和される。したがって、第2の半導体層におけるクラックの発生を防止することができ、かつ良好な結晶性が実現される。

【0032】以上のように、上記の半導体素子においては、第2の半導体層におけるクラックの発生が防止されかつ結晶性の劣化が防止されるため、素子特性および信頼性の向上が図られる。したがって、横モード制御型の半導体レーザ素子の製造が容易になる。

【0033】なお、上記において、窒化物系半導体は、ガリウム、アルミニウム、インジウム、タリウムおよびホウ素の少なくとも1つを含むIII族窒化物系半導体であってもよい。

【0034】本発明に係る半導体素子の製造方法は、結晶成長装置内で基板上に窒化物系半導体層から構成される第1の半導体層を第1の温度で形成する工程と、第1の半導体層が形成された基板を結晶成長装置から取り出して所定の処理を行う工程と、処理された基板上の第1の半導体層上に結晶成長装置内で第1の温度よりも低い第2の温度で窒化物系半導体から構成されるバッファ層を形成する工程と、結晶成長装置内でバッファ層上に第2の温度よりも高い温度で窒化物系半導体から構成される第2の半導体層を形成する工程とを備えたものである。

【0035】本発明に係る半導体素子の製造方法においては、結晶成長装置から一旦外部に取り出されて冷却された第1の半導体層上に、バッファ層を介して高温成長の第2の半導体層を形成する。

【0036】第1の半導体層が形成された基板を結晶成長装置の外部に取り出して所定の処理を行う際に、第1の半導体層の表面が酸化される。バッファ層は、下地の第1の半導体層の格子欠陥の影響を受けないで成長することができるので、第2の半導体層の格子欠陥が減少する。また、バッファ層により第1の半導体層と第2の半導体層との熱膨張係数差が緩和される。したがって、第2の半導体層におけるクラックの発生を防止することができ、かつ良好な結晶性が実現される。以上のことか

ら、素子特性および信頼性の向上が図られる。

【0037】第1の半導体層を形成する工程は、活性層を形成する工程と、活性層上にクラッド層を形成する工程とを含み、所定の処理を行う工程は、クラッド層の中央部のストライプ状領域を除く領域を除去することにより平坦部および平坦部上のリッジ部を形成する工程を含み、バッファ層を形成する工程は、平坦部上および前記リッジ部の側面にバッファ層を形成する工程を含み、第2の半導体層を形成する工程は、バッファ層上に電流ブロック層を形成する工程を含んでもよい。

10

【0038】上記の半導体素子は、リッジ部および平坦部を形成する際に一旦結晶成長装置の外部に取り出されるため、クラッド層の平坦部およびリッジ部の表面が酸化される。しかし、クラッド層の平坦部上およびリッジ部の側面にバッファ層を介して電流ブロック層が形成されているので、電流ブロック層がクラッド層の平坦部およびリッジ部の酸化された表面の影響を受けないで成長することができる。また、バッファ層によりクラッド層と電流ブロック層との熱膨張係数差が緩和される。したがって、電流ブロック層におけるクラックの発生を防止することができ、かつ良好な結晶性が実現される。

20

【0039】以上のように、上記の半導体素子において、電流ブロック層においてクラックの発生が防止されかつ結晶性の劣化が防止されるので、素子特性および信頼性の向上が図られる。したがって、横モード制御型の半導体レーザ素子の製造が容易になる。

【0040】第1の半導体層を形成する工程は、活性層を形成する工程と、活性層上に平坦部およびその平坦部

30

上のリッジ部を有するクラッド層を形成する工程と、クラッド層上に電流ブロック層を形成する工程とを含み、所定の処理を行う工程は、電流ブロック層にストライプ状開口部を形成してリッジ部の上面を露出させる工程を含み、バッファ層を形成する工程は、電流ブロック層上、およびストライプ状開口部内の底面および側面にバッファ層を形成する工程を含んでもよい。

【0041】上記の半導体素子においては、結晶成長装置の外部において前述の所定の処理が行われるため、電

流ブロック層およびクラッド層のリッジ部の表面が酸化

40

される。しかし、電流ブロック層上およびクラッド層のリッジ部の上面にバッファ層を介して第2の半導体層が形成されているので、第2の半導体層が電流ブロック層およびクラッド層のリッジ部の酸化された表面の影響を受けないで成長することができる。また、バッファ層により電流ブロック層およびクラッド層と第2の半導体層との熱膨張係数差が緩和される。したがって、第2の半導体層におけるクラックの発生を防止することができ、かつ良好な結晶性が実現される。

【0042】以上のように、上記の半導体素子においては、第2の半導体層におけるクラックの発生が防止され

50

かつ結晶性の劣化が防止されるため、素子特性および信

頼性の向上が図られる。したがって、横モード制御型の半導体レーザ素子の製造が容易になる。

【0043】また、第1の半導体層を形成する工程は、クラッド層のリッジ部上面にキャップ層を形成する工程をさらに含んでもよい。この場合、キャップ層により、リッジ部のクラッド層の酸化を低減することができる。

【0044】第1の半導体層を形成する工程は、活性層を形成する工程と、活性層上にクラッド層を形成する工程と、クラッド層上に電流ブロック層を形成する工程とを含み、所定の処理を行う工程は、電流ブロック層にストライプ状開口部を形成してストライプ状開口部内に第1の半導体層を露出させる工程を含み、バッファ層を形成する工程は、電流ブロック層上および前記ストライプ状開口部内の底面および側面にバッファ層を形成する工程を含んでもよい。

【0045】上記の半導体素子においては、結晶成長装置の外部において電流ブロック層にストライプ状開口部が形成されるため、電流ブロック層およびストライプ状開口部内の第1の半導体層の表面が酸化される。しかし、電流ブロック層上およびストライプ状開口部内で露出した第1の半導体層上にバッファ層を介して第2の半導体層が形成されているので、第2の半導体層が電流ブロック層および第1の半導体層の酸化された表面の影響を受けないで成長することができる。また、バッファ層により電流ブロック層および第1の半導体層と第2の半導体層との熱膨張係数差が緩和される。したがって、第2の半導体層におけるクラックの発生を防止することができ、かつ良好な結晶性が実現される。

【0046】以上のように、上記の半導体素子においては、第2の半導体層におけるクラックの発生が防止されかつ結晶性の劣化が防止されるため、素子特性および信頼性の向上が図られる。したがって、横モード制御型の半導体レーザ素子の製造が容易になる。

【0047】

【発明の実施の形態】図1は本発明の一実施例における半導体レーザ素子の製造方法を示す模式的工程断面図である。

【0048】図1(a)に示すように、MOCVD(有機金属化学的気相成長)装置内にサファイア基板1を配置し、MOCVD法により、サファイア基板1のC(0001)面上にアンドープのAlGaNからなるAlGaNバッファ層2、アンドープGaN層3、n-GaNコンタクト層4、n-InGaNクラック防止層5、n-AlGaNクラッド層6、InGaNからなるMQW(多重量子井戸)活性層7、p-AlGaNクラッド層8、p-GaNキャップ層9を順に成長させる。

【0049】この場合、AlGaNバッファ層2の成長時の基板温度は600°Cとし、MQW活性層7およびn-InGaNクラック防止層5の成長時の基板温度は800°Cとする。また、これ以外の各層3, 4, 6, 8,

9の成長時の基板温度は1000°Cとする。また、n型ドーパントとしてはSiを用い、p型ドーパントとしてはMgを用いる。

【0050】続いて、ウエハをMOCVD装置から外部に取り出し、図1(b)に示すように、RIIBE法(反応性イオンビームエッチング法)等により、p-AlGaNキャップ層9およびp-AlGaNクラッド層8の所定領域をエッチングする。このようにして、リッジ部を形成する。

【0051】リッジ部の形成後、リッジ部の上面および側面ならびにp-AlGaNクラッド層8の平坦部の表面が大気中で酸化される。

【0052】リッジ部の形成後、再びウエハをMOCVD装置内に戻す。そして、図1(c)に示すように、リッジ部の上面および側面とp-AlGaNクラッド層8の平坦部上にSiによりn型にドープされたn-Al<sub>0.5</sub>Ga<sub>0.5</sub>Nを成長させ、膜厚250Åのn-AlGaN第1の再成長低温バッファ層10を形成する。さらに、このn-AlGaN第1の再成長低温バッファ層10上に、Siによりn型にドープされたn-AlGaN電流ブロック層11を成長させる。この場合、n-AlGaN第1の再成長低温バッファ層10の成長時の基板温度は600°Cとし、n-AlGaN電流ブロック層11の成長時の基板温度は1000°Cとする。

【0053】上記のように、一旦外部に取り出されたp-AlGaNクラッド層8の平坦部上およびリッジ部の上面および側面に低温でn-AlGaNを再成長させてn-AlGaN第1の再成長低温バッファ層10を形成し、n-AlGaN第1の再成長低温バッファ層10上にn-AlGaN電流ブロック層11を形成することにより、n-AlGaN電流ブロック層11がp-AlGaNクラッド層8の酸化された表面の影響を受けないで成長することができる。それにより、n-AlGaN電流ブロック層11の格子欠陥が減少する。

【0054】また、n-AlGaN第1の再成長低温バッファ層10により、n-AlGaN電流ブロック層11を追加成長することにより生じる応力が緩和される。したがって、n-AlGaN電流ブロック層11におけるクラックの発生を防止することができる。

【0055】以上のことから、膜厚が大きくかつAlの組成の大きなn-AlGaN電流ブロック層11を形成した場合においてもクラックが発生せず、良好な結晶性が実現される。

【0056】続いて、ウエハをMOCVD装置から外部に取り出し、図2(d)に示すように、n-AlGaN第1の再成長低温バッファ層10およびn-AlGaN電流ブロック層11のリッジ部上の領域をRIIBE法等によりエッチングする。このようにして、n-AlGaN第1の再成長低温バッファ層10およびn-AlGaN電流ブロック層11にストライプ状開口部を形成し、

p-GaNキャップ層9を露出させる。

【0057】外部に取り出した際に、n-A1GaN電流ブロック層11および露出したp-GaNキャップ層9の表面が酸化される。

【0058】なお、n-A1GaN第1の再成長低温バッファ層10上に形成されたn-A1GaN電流ブロック層11においては、前述のように、リッジ部の上面および側面ならびにp-A1GaNクラッド層8の平坦部の酸化された表面の影響がn-A1GaN第1の再成長低温バッファ層10により緩和されている。このため、上記のようにn-A1GaN電流ブロック層11の表面が酸化された場合においても、図8に示す従来のn-A1GaN電流ブロック層11と比べて結晶性は良好である。

【0059】上記のエッチング後、再びウエハをMOCVD装置内に戻す。そして、図2(e)に示すように、露出したp-GaNキャップ層9上と、n-A1GaN第1の再成長低温バッファ層10およびn-A1GaN電流ブロック層11上と、Mgによりp型にドープされたp-A1.5Gao.5Nを再成長させることにより、厚さ50Åのp-A1GaN第2の再成長低温バッファ層12を形成する。さらに、このp-A1GaN第2の再成長低温バッファ層12上に、Mgによりp型にドープされたp-GaNコンタクト層13を成長させる。この場合、p-A1GaN第2の再成長低温バッファ層12の成長時の基板温度は600°Cとし、p-GaNコンタクト層13の成長時の基板温度は1000°Cとする。

【0060】上記のように、一旦外部に取り出されたn-A1GaN電流ブロック層11およびリッジ部のp-GaNキャップ層9上に低温でp-A1GaNを再成長させてp-A1GaN第2の再成長低温バッファ層12を形成し、p-A1GaN第2の再成長低温バッファ層12上にp-GaNコンタクト層13を形成することにより、p-GaNコンタクト層13がn-A1GaN電流ブロック層11およびp-GaNキャップ層9の酸化された表面の影響を受けないで成長することができる。それにより、p-GaNコンタクト層13の格子欠陥が減少する。

【0061】また、p-A1GaN第2の再成長低温バッファ層12により、p-GaNキャップ層9とp-GaNコンタクト層13を追加成長することにより生じる応力が緩和される。したがって、p-GaNコンタクト層13におけるクラックの発生を防止することができる。

【0062】以上のことから、膜厚の大きなp-GaNコンタクト層13を形成した場合においてもクラックが発生せず、良好な結晶性が実現される。

【0063】続いて、ウエハをMOCVD装置から外部に取り出し、図2(f)に示すように、p-GaNコン

タクト層13からn-GaNコンタクト層4まで的一部分領域をエッチングする。このようにして、n-GaNコンタクト層4の所定領域を露出させる。

【0064】さらに、この露出したn-GaNコンタクト層4の所定領域上にn電極50を形成するとともに、p-GaNコンタクト層13の所定領域上にp電極51を形成する。最後に、サファイア基板1をへき開することにより共振器端面を形成する。

【0065】以上のような方法により、図3に示すリッジ導波型構造を有する半導体レーザ素子200が製造される。

【0066】半導体レーザ素子200において、p電極51から注入された電流は、n-A1GaN電流ブロック層11により狭窄される。それにより、リッジ部下の領域が電流経路となる。一方、n-A1GaN電流ブロック層11はAlの組成が大きいため、MQW活性層7において、リッジ部下の領域の実効的な屈折率が両側の領域の実効的な屈折率に比べて大きくなる。

【0067】以上のことから、半導体レーザ素子200においては、リッジ部下のMQW活性層7に光が閉じ込められ、横モード制御が行われる。このように、半導体レーザ素子200は、実屈折率導波構造を有する半導体レーザ素子である。

【0068】ここで、半導体レーザ素子200においては、n-A1GaN第1の再成長低温バッファ層10により、n-A1GaN電流ブロック層11におけるクラックの発生および結晶性の劣化が防止されている。それにより、素子特性および信頼性の向上が図られる。したがって、横モード制御型の半導体レーザ素子の製造が容易になる。

【0069】また、半導体レーザ素子200においては、p-A1GaN第2の再成長低温バッファ層12により、p-GaNコンタクト層13におけるクラックの発生および結晶性の劣化が防止されている。このため、半導体レーザ素子200においては、さらに素子特性の向上が図られる。

【0070】上記においてはn-A1GaN第1の再成長低温バッファ層10およびp-A1GaN第2の再成長低温バッファ層12の成長時の基板温度を600°Cと40しているが、これらの層10, 12の成長時の基板温度は、500~700°Cの範囲内であれば上記に限定されるものではない。

【0071】また、上記においてはn-A1GaN第1の再成長低温バッファ層10およびp-A1GaN第2の再成長低温バッファ層12がAl<sub>0.5</sub>Ga<sub>0.5</sub>Nからなるが、これらの層10, 12におけるAlの組成は上記に限定されるものではない。n-A1GaN第1の再成長低温バッファ層10およびp-A1GaN第2の再成長低温バッファ層12は、Alの組成Xが0<X<0.7のAl<sub>x</sub>Ga<sub>1-x</sub>Nからなればよい。

【0072】さらに、上記においてはn-A1GaN第1の再成長低温バッファ層10の膜厚を250Åとし、p-A1GaN第2の再成長低温バッファ層12の膜厚を50Åとしているが、n-A1GaN第1の再成長低温バッファ層10およびp-A1GaN第2の再成長低温バッファ層12の膜厚はこれに限定されるものではない。n-A1GaN第1の再成長低温バッファ層10の膜厚は20~500Åであればよく、p-A1GaN第2の再成長低温バッファ層12の膜厚は20~150Åであればよい。

【0073】なお、半導体レーザ素子200においては、電流経路となるリッジ部にp-A1GaN第2の再成長低温バッファ層12が形成されている。ここで、低温で成長したp-A1GaN第2の再成長低温バッファ層12は高抵抗であることから、p-A1GaN第2の再成長低温バッファ層12の膜厚を大きくした場合においては電流が流れにくくなる。したがって、p-A1GaN第2の再成長低温バッファ層12の膜厚は小さくすることが好ましい。上記のようにp-A1GaN第2の再成長低温バッファ層12の膜厚を50Åと小さくした場合、トンネリング効果により、p-A1GaN第2の再成長低温バッファ層12において電流が流れやすくなる。

【0074】第1および第2の再成長低温バッファ層10、12の組成は、上記のA1GaNに限定されるものではない。第1および第2の再成長低温バッファ層10、12は、Ga、Al、In、BおよびTlの少なくとも1つを含む窒化物系半導体からなればよい。

【0075】なお、第1および第2の再成長低温バッファ層10、12がAlを含む場合、透明度が高くかつ膜質が良好となるので好ましい。

【0076】また、上記においてはn型の第1の再成長低温バッファ層10およびp型の第2の再成長低温バッファ層12を形成しているが、第1および第2の再成長低温バッファ層10、12は、数十Å程度の厚みの場合にはアンドープであってもよいが、動作電圧を低減するためには、アンドープでない方が望ましい。さらに、第1の再成長低温バッファ層10は、Znがドープされていてもよい。このようなZnドープの第1の再成長低温バッファ層10は高抵抗である。

【0077】また、各層2~9、11、13は、Ga、Al、In、BおよびTlの少なくとも1つを含む窒化物系半導体からなっていれば上記の組成以外であってもよい。なお、電流ブロック層11がInGaNからなる場合、半導体レーザ素子200は損失導波構造となる。

【0078】また、電流ブロック層11は、不純物としてZnを含んでもよい。Znを含む電流ブロック層11は高抵抗である。

【0079】さらに、上記においてはサファイア基板1上にn型の半導体層およびp型の半導体層を順に形成し

ているが、サファイア基板1上にp型の半導体層およびn型の半導体層を順に形成してもよい。この場合、p型にドープされた第1の再成長低温バッファ層10、またはアンドープの第1の再成長低温バッファ層10を形成する。あるいは、Znがドープされた高抵抗な第1の再成長低温バッファ層10を形成してもよい。また、この場合、n型にドープされた第2の再成長低温バッファ層12、またはアンドープの第2の再成長低温バッファ層12を形成する。

10 【0080】なお、上記の半導体レーザ素子200においては第1および第2の再成長低温バッファ層10、12が形成されているが、第1の再成長低温バッファ層10および第2の再成長低温バッファ層12の一方が形成された構造を有する半導体レーザ素子であってもよい。この場合について、以下に説明する。

【0081】図4は本発明の他の実施例における半導体レーザ素子の模式的断面図である。図4に示す半導体レーザ素子201は、p-A1GaN第2の再成長低温バッファ層12が形成されていない点を除いて、図3の半導体レーザ素子200と同様の構造を有する。このような半導体レーザ素子201は、以下の点を除いて、半導体レーザ素子200の製造方法と同様の方法により製造される。

【0082】この場合、図2(d)に示すp-A1GaN再成長低温バッファ層10およびn-A1GaN電流ブロック層11のエッチングを行った後、リッジ部のn-A1GaNキャップ層9上と、n-A1GaN再成長低温バッファ層10およびn-A1GaN電流ブロック層11の側面と、n-A1GaN電流ブロック層11上とに、直接p-GaNを再成長させ、p-GaNコンタクト層13を形成する。

【0083】半導体レーザ素子201においては、半導体レーザ素子200と同様、n-A1GaN再成長低温バッファ層10により、n-A1GaN電流ブロック層11におけるクラックの発生および結晶性の劣化が防止されている。それにより、半導体レーザ素子201において動作電圧の低減が図られ、素子特性が向上する。

【0084】ここで、半導体レーザ素子201においては、半導体レーザ素子200のように電流経路となるリッジ部に高抵抗なp-A1GaN第2の再成長低温バッファ層12が形成されていない。このため、半導体レーザ素子201においては、より動作電圧が低減される。

【0085】さらに、n-A1GaN第1の再成長低温バッファ層10が形成されていない点を除いて図3の半導体レーザ素子200と同様の構造を有する半導体レーザ素子であってもよい。この場合においては、リッジ部を形成した後に、直接リッジ部の上面および側面ならびにp-A1GaNクラッド層8の平坦部上にn-A1GaN電流ブロック層11を形成する点を除いて、半導体レーザ素子200の製造方法と同様の方法により半導体

50

レーザ素子を製造する。このようにして製造された半導体レーザ素子においては、p-AlGaN第2の再成長低温バッファ層12により、p-GaNコンタクト層13におけるクラックの発生および結晶性の劣化が防止される。したがって、このようなp-AlGaN第2の再成長低温バッファ層12のみが形成された半導体レーザ素子においても、従来の半導体レーザ素子に比べて素子特性および信頼性が向上する。

【0086】図5は本発明のさらに他の実施例における半導体レーザ素子の製造方法を示す模式的な工程断面図である。

【0087】図5(a)に示すように、MOCVD装置内にサファイア基板21を配置し、MOCVD法により、サファイア基板21のC(0001)面上にアンドープのAlGaNからなるAlGaNバッファ層22、アンドープGaN層23、n-GaNコンタクト層24、n-InGaNクラック防止層25、n-AlGaNクラッド層26、InGaNからなるMQW活性層27、p-AlGaN第1クラッド層28およびn-AlGaN電流プロック層29を順に成長させる。

【0088】この場合、AlGaNバッファ層22の成長時の基板温度は600°Cとし、MQW活性層27およびn-InGaNクラック防止層25の成長時の基板温度は800°Cとする。また、これ以外の各層23、24、26、28、29の成長時の基板温度は1000°Cとする。また、n型ドーパントとしてはSiを用い、p型ドーパントとしてはMgを用いる。

【0089】続いて、ウエハをMOCVD装置から外部に取り出し、図5(b)に示すように、RIIBE法等によりn-AlGaN電流プロック層29の所定領域をエッチングする。このようにしてn-AlGaN電流プロック層29にストライプ状開口部を形成し、開口部内においてp-AlGaN第1クラッド層28を露出させる。

【0090】外部に取り出した際に、n-AlGaN電流プロック層29および開口部内のp-AlGaN第1クラッド層28の表面が酸化される。

【0091】上記のエッチングの後、再びウエハをMOCVD装置内に戻す。そして、図6(c)に示すように、n-AlGaN電流プロック層29上およびp-AlGaN第1クラッド層28上に、Mgによりp型にドープされたp-Al<sub>0.5</sub>Ga<sub>0.5</sub>Nを再成長させ、膜厚50Åのp-AlGaN再成長低温バッファ層30を形成する。さらに、このp-AlGaN再成長低温バッファ層30上に、Mgによりp型にドープされたp-AlGaN第2クラッド層31およびp-GaNコンタクト層32を順に成長させる。この場合、p-AlGaN再成長低温バッファ層30の成長時の基板温度は600°Cとし、p-AlGaN第2クラッド層31およびp-GaNコンタクト層32の成長時の基板温度は1000°C

とする。

【0092】上記のように、一旦外部に取り出されて冷却されたn-AlGaN電流プロック層29上および開口部内のp-AlGaN第1クラッド層28上に低温でp-AlGaNを再成長させてp-AlGaN再成長低温バッファ層30を形成し、p-AlGaN再成長低温バッファ層30上にp-AlGaN第2クラッド層31を形成することにより、p-AlGaN第2クラッド層31がn-AlGaN電流プロック層29およびp-AlGaN第1クラッド層28の酸化された表面の影響を受けないで成長することができる。それにより、p-AlGaN第2クラッド層31の格子欠陥が減少する。

【0093】また、p-AlGaN再成長低温バッファ層30により、p-AlGaN第1クラッド層28とp-AlGaN第2クラッド層31を追加成長することにより生じる応力が緩和される。それにより、p-AlGaN第2クラッド層31におけるクラックの発生を防止することができる。

【0094】以上のことから、p-AlGaN第2クラッド層31においてクラックが発生せず、良好な結晶性が実現される。

【0095】続いて、ウエハをMOCVD装置の外部に取り出し、図6(d)に示すように、p-GaNコンタクト層32からn-GaNコンタクト層24までの一部領域をエッチングする。このようにして、n-GaNコンタクト層24の所定領域を露出させる。

【0096】さらに、露出したn-GaNコンタクト層24の所定領域上にn電極50を形成するとともに、p-GaNコンタクト層32の所定領域上にp電極51を形成する。最後に、サファイア基板21をへき開することにより共振器端面を形成する。

【0097】以上のようにして、図7に示すセルフアライン構造を有する半導体レーザ素子202が製造される。

【0098】半導体レーザ素子202において、p電極51から注入された電流は、n-AlGaN電流プロック層29により狭窄される。それにより、n-AlGaN電流プロック層29の開口部下の領域が電流経路となる。一方、n-AlGaN電流プロック層29はAlの組成が大きいため、MQW活性層27において、n-AlGaN電流プロック層29の開口部下の領域の実行的な屈折率が両側の領域の実効的な屈折率に比べて大きくなる。

【0099】以上のことから、半導体レーザ素子202においては、n-AlGaN電流プロック層29の開口部下のMQW活性層27に光が閉じ込められ、横モード制御が行われる。このように、半導体レーザ素子202は、実屈折率導波構造を有する半導体レーザ素子である。

【0100】なお、半導体レーザ素子202のn-Al

GaN電流ブロック層29は、ウエハをMOCVD装置の外部に一旦取り出した後に再成長させた層ではない。このため、n-A1GaN電流ブロック層29においては、クラックが発生しにくい。

【0101】上記の半導体レーザ素子202においては、p-A1GaN再成長低温バッファ層30により、p-A1GaN第2クラッド層31におけるクラックの発生および結晶性の劣化が防止されている。それにより、半導体レーザ素子202の動作電圧が低減され、素子特性が向上する。

【0102】上記においてはp-A1GaN再成長低温バッファ層30の成長時の基板温度を600°Cとしているが、p-A1GaN再成長低温バッファ層30の成長時の基板温度は、500~700°Cの範囲内であれば上記に限定されるものではない。

【0103】また、上記においてはp-A1GaN再成長低温バッファ層30がA1<sub>0.5</sub>Ga<sub>0.5</sub>Nからなるが、p-A1GaN再成長低温バッファ層30におけるA1の組成は上記に限定されるものではない。p-A1GaN再成長低温バッファ層30は、A1の組成Xが0<X<0.7のA1<sub>x</sub>Ga<sub>1-x</sub>Nからなればよい。

【0104】さらに、上記においてはp-A1GaN再成長低温バッファ層30の膜厚を50Åとしているが、p-A1GaN再成長低温バッファ層30の膜厚はこれに限定されるものではない。p-A1GaN再成長低温バッファ層30の膜厚は20~150Åであればよい。

【0105】なお、半導体レーザ素子202においては、電流経路となるn-A1GaN電流ブロック層29の開口部上にp-A1GaN再成長低温バッファ層30が形成されている。ここで、低温で成長したp-A1GaN再成長低温バッファ層30は高抵抗であることから、p-A1GaN再成長低温バッファ層30の膜厚を大きくした場合においては電流が流れにくくなる。したがって、p-A1GaN再成長低温バッファ層30の膜厚は小さくすることが好ましい。上記のようにp-A1GaN再成長低温バッファ層30の膜厚を50Åと小さくした場合、トンネリング効果により、p-A1GaN再成長低温バッファ層30において電流が流れやすくなる。

【0106】また、上記においてはp型の再成長低温バッファ層30を形成しているが、再成長低温バッファ層30は、数十Å程度の厚みの場合にはアンドープでもよいが、動作電圧を低減するためには、アンドープでない方が望ましい。

【0107】また、再成長低温バッファ層30の組成は、上記のA1GaNに限定されるものではない。再成長低温バッファ層30は、Ga、Al、In、BおよびTlの少なくとも1つを含む窒化物系半導体からなればよい。

【0108】なお、再成長低温バッファ層30がA1を

含む場合、透明度が高くかつ膜質が良好となるので好ましい。

【0109】また、各層22~29、31、32は、Ga、Al、In、BおよびTlの少なくとも1つを含む窒化物系半導体からなれば上記の構成以外であってもよい。なお、電流ブロック層29がInGaNからなる場合、半導体レーザ素子202は損失導波構造となる。

【0110】また、電流ブロック層29は、不純物としてZnを含んでもよい。Znを含む電流ブロック層29は高抵抗である。

【0111】さらに、上記においてはサファイア基板21上にn型の半導体層およびp型の半導体層を順に形成しているが、サファイア基板21上にp型の半導体層およびn型の半導体層を順に形成してもよい。この場合、n型にドープされた再成長低温バッファ層30、またはアンドープの再成長低温バッファ層30を形成する。

【0112】上記においては、本発明に係る半導体素子の製造方法を半導体レーザ素子の製造に適用した場合について説明したが、本発明に係る半導体素子の製造方法は、半導体レーザ素子以外の半導体発光素子、フォトダイオード等の受光素子およびトランジスタ等の電子素子の製造においても適用可能である。

【0113】また、上記においてはエッチング後の再成長時に再成長低温バッファ層を形成する場合について説明したが、エッチング以外の加工工程後の再成長時に再成長低温バッファ層を形成してもよい。

【0114】例えば、図3に示す半導体レーザ素子200において、エッチングではなく絶縁膜を用いた選択成長法により、再成長低温バッファ層10およびn-A1GaN電流ブロック層11にストライプ状開口部を形成してもよい。この場合においては、結晶成長装置の外部において、リッジ部の上面にSiO<sub>2</sub>等の絶縁膜を形成した後、結晶成長装置内においてリッジ部の側面およびp-A1GaNクラッド層8の平坦部上にn-A1GaN第1の再成長低温バッファ層10およびn-A1GaN電流ブロック層11を成長させる。n-A1GaN第1の再成長低温バッファ層10およびn-A1GaN電流ブロック層11の形成後、再び結晶成長装置の外部において絶縁膜を除去することにより、ストライプ状開口部を形成する。このように絶縁膜を用いてn-A1GaN第1の再成長低温バッファ層10およびn-A1GaN電流ブロック層11の加工を行った後、n-A1GaN電流ブロック層11上および開口部内で露出したp-A1GaNキャップ層9上にp-A1GaN第2の再成長低温バッファ層12を形成する。それにより、p-A1GaN第2の再成長低温バッファ層12上に形成されたp-A1GaNコンタクト層13において、クラックの発生が防止されるとともに結晶性の向上が図られる。

【0115】また、エッチング等の加工工程後に再成長させる場所であれば、再成長低温バッファ層を形成する

場所は特に限定されない。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体レーザ素子の製造方法を示す模式的な工程断面図である。

【図2】本発明の一実施例における半導体レーザ素子の製造方法を示す模式的な工程断面図である。

【図3】図1および図2に示す半導体レーザ素子の製造方法により製造された半導体レーザ素子を示す模式的断面図である。

【図4】本発明の他の実施例における半導体レーザ素子を示す模式的断面図である。

【図5】本発明のさらに他の実施例における半導体レーザ素子の製造方法を示す模式的な工程断面図である。

【図6】本発明のさらに他の実施例における半導体レーザ素子の製造方法を示す模式的な工程断面図である。

【図7】図5および図6に示す半導体レーザ素子の製造方法により製造された半導体レーザ素子を示す模式的断面図である。

【図8】従来の半導体レーザ素子の例を示す模式的断面

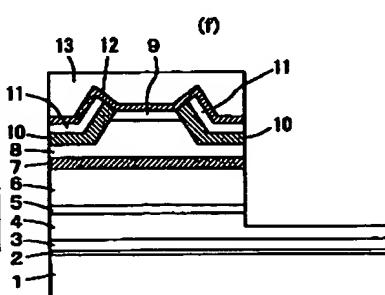
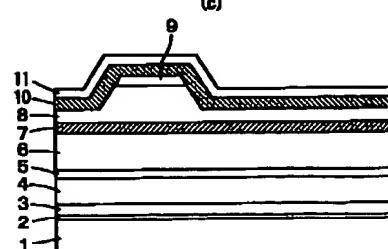
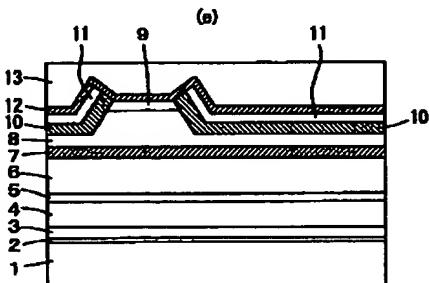
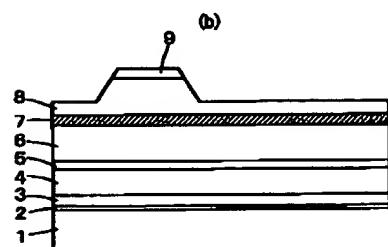
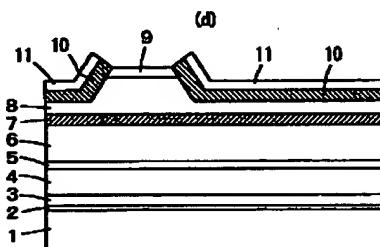
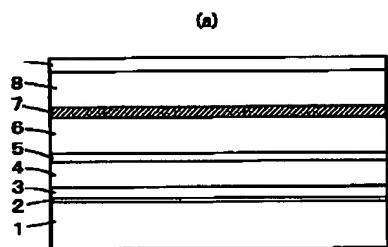
図である。

【符号の説明】

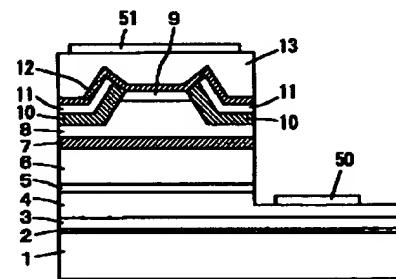
- 1, 21, 101 サファイア基板
- 2, 22, 102 AlGaNバッファ層
- 3, 23, 103 アンドープGaN層
- 4, 24, 104 n-GaNコンタクト層
- 5, 25 n-InGaNクラック防止層
- 6, 26, 105 n-AlGaNクラッド層
- 7, 27, 107 MQW活性層
- 8, 28, 110 p-AlGaNクラッド層
- 9 p-GaNキャップ層

- 10 第1の再成長低温バッファ層
- 11, 29, 112 n-AlGaN電流ブロック層
- 12 第2の再成長低温バッファ層
- 13, 32, 113 p-GaNコンタクト層
- 30 再成長低温バッファ層
- 31 p-AlGaN第2クラッド層
- 50 n電極
- 51 p電極

【図1】

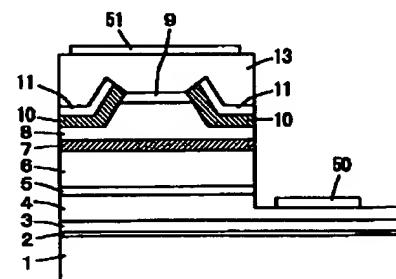


【図2】

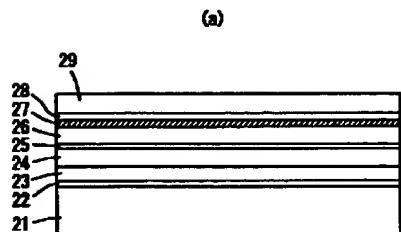


【図3】

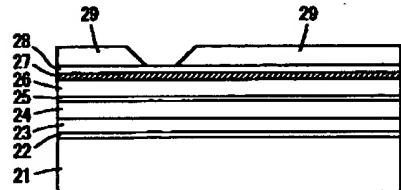
【図4】



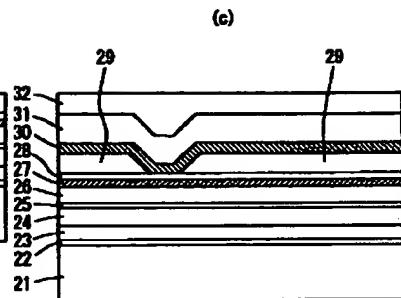
【図5】



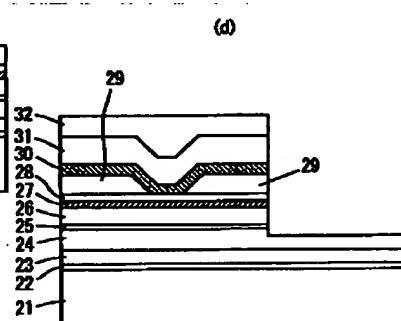
(b)



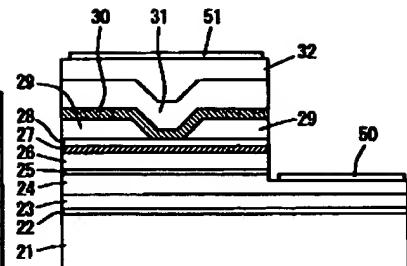
【図6】



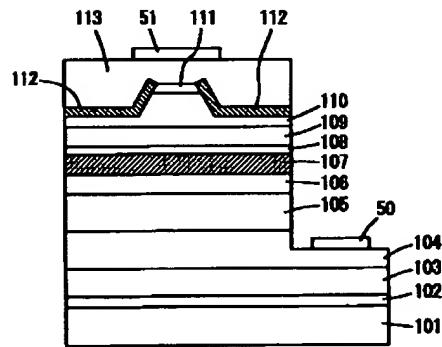
(d)



【図7】



【図8】



## 【手続補正書】

【提出日】平成12年9月13日(2000.9.1)

3)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

## 【補正内容】

【0061】また、p-A1GaN第2の再成長低温バッファ層12により、p-GaNコンタクト層13を追加成長することにより生じる応力が緩和される。したがって、p-GaNコンタクト層13におけるクラックの発生を防止することができる。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

## 【補正内容】

【0082】この場合、図2(d)に示すn-A1GaN再成長低温バッファ層10およびn-A1GaN電流ブロック層11のエッチングを行った後、リッジ部のn-GaNキャップ層9上と、n-A1GaN再成長低温バッファ層10およびn-A1GaN電流ブロック層11の側面と、n-A1GaN電流ブロック層11上とに、直接p-GaNを再成長させ、p-GaNコンタク

ト層13を形成する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正内容】

【0093】また、p-AlGaN再成長低温バッファ層30により、p-AlGaN第2クラッド層31とp-GaNコンタクト層32とを追加成長することにより生じる応力が緩和される。それにより、p-AlGaN第2クラッド層31におけるクラックの発生を防止することができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正内容】

【0094】以上のことから、p-AlGaN第2クラッド層31およびp-GaNコンタクト層32においてクラックが発生せず、良好な結晶性が実現される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0109

【補正方法】変更

【補正内容】

【0109】また、各層22～29, 31, 32は、Ga、Al、In、BおよびT1の少なくとも1つを含む窒化物系半導体からなれば上記の組成以外であってもよい。なお、電流ブロック層29がInGaNからなる場合、半導体レーザ素子202は損失導波構造となる。